

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-217318

(P2002-217318A)

(43) 公開日 平成14年8月2日 (2002.8.2)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)	
H 0 1 L	21/8247	H 0 1 L 29/78	3 7 1	5 F 0 0 1
	29/788	27/10	4 3 4	5 F 0 8 3
	29/792			5 F 1 0 1
	27/115			

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願2001-12442(P2001-12442)

(22) 出願日 平成13年1月19日 (2001.1.19)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 鈴木 俊治

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100095588

弁理士 田治米 登 (外1名)

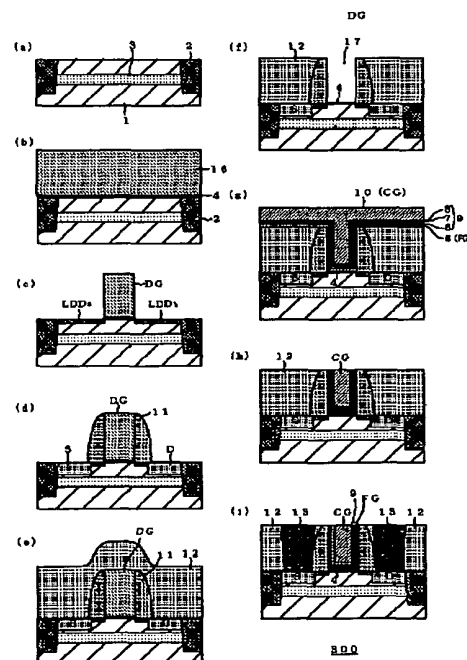
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶素子及びその製造方法

(57) 【要約】

【課題】 不揮発性記憶素子において、フローティングゲートと制御ゲート電極とのカップリング比を大きくし、書き込み電圧を低減させ、素子の微細化を図る。

【解決手段】 半導体層 (S i 基板 1) と制御ゲート電極 C G との間の絶縁膜 (トンネル酸化膜 4、ONO 膜構造 9) 中にフローティングゲート電極 F G を有し、フローティングゲート電極 F G に電荷が蓄積することによりトランジスタの閾値電圧が変化し、データを保持する不揮発性記憶素子 (所謂、フローティングゲート型フラッシュメモリ 3 0 0) において、フローティングゲート電極 F G を、制御ゲート電極 C G の底面及び側面の略全面と絶縁膜 (ONO 膜構造 9) を介して対向させる。



【特許請求の範囲】

【請求項1】 半導体基板と制御ゲート電極との間の絶縁膜中にフローティングゲート電極を有し、フローティングゲート電極に電荷が蓄積することによりトランジスタの閾値電圧が変化し、データを保持する不揮発性記憶素子であって、フローティングゲート電極が、制御ゲート電極の底面及び側面の双方と絶縁膜を介して対向していることを特徴とする不揮発性半導体記憶素子。

【請求項2】 制御ゲート電極とフローティングゲート電極との間の絶縁膜が、制御ゲート電極の底面及び側面の略全面に均一な厚さに設けられている請求項1記載の不揮発性半導体記憶素子。

【請求項3】 制御ゲート電極とフローティングゲート電極との間の絶縁膜が、原子層化学的気相成長法により形成された、Si酸化膜、Si窒化膜及びSi酸化膜の積層膜からなる請求項2記載の不揮発性半導体記憶素子。

【請求項4】 半導体基板と制御ゲート電極との間の絶縁膜中にフローティングゲート電極を有し、該フローティングゲート電極に電荷を蓄積することによりトランジスタの閾値電圧が変化し、データを保持する不揮発性記憶素子の製造方法であって、半導体層上にダミーゲートを形成し、さらにダミーゲートの周囲に絶縁膜からなる側壁を形成した後、ダミーゲートをエッチング除去してゲート溝を形成し、ゲート溝底面の絶縁膜上及びゲート溝側壁面上にフローティングゲート電極層及び絶縁膜を順次成膜し、さらに制御ゲート電極層を成膜してゲート溝内に埋め込むことにより、フローティングゲート電極が、制御ゲート電極の底面及び側面の双方と絶縁膜を介して対向している不揮発性半導体記憶素子を製造する方法。

【請求項5】 フローティングゲート電極層上に形成する絶縁膜を、ゲート溝底面及びゲート溝側壁面上の略全面で均一な厚さに形成する請求項4記載の不揮発性半導体記憶素子の製造方法。

【請求項6】 フローティングゲート電極層上に形成する絶縁膜として、Si酸化膜、Si窒化膜及びSi酸化膜の積層膜を、原子層化学的気相成長法により形成する請求項5記載の不揮発性半導体記憶素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MIS型LSIにおいて使用されるデータの記憶素子であって、素子の電源のON/OFFに関わりなくデータを保持することのできる不揮発性半導体記憶素子に関する。

【0002】

【従来の技術】MIS型LSIにおいては、素子の電源のON/OFFに関わりなくデータを保持することのできる不揮発性半導体記憶素子が数多く使用されている。不揮発性半導体記憶素子としては、様々なタイプのもの

が知られているが、MIS型構造のゲート絶縁膜の中間にポリSi等からなるフローティングゲート電極を設け、Si基板からフローティングゲート電極に、Si基板とフローティングゲート電極との間の絶縁膜を介してホットキャリア、トンネル電流等により電荷を注入し、フローティングゲート電極を帯電させることによりMIS型トランジスタの閾値電圧を変化させて記憶を保持させる、所謂、フローティングゲート型フラッシュメモリが実用化されている。

10 【0003】フローティングゲート型フラッシュメモリは、図3に示すように製造される。まず、Si基板1にウェル分離あるいは素子分離領域2を通常のロソ法、シャロートレンチ法等により形成し、閾値電圧調整のための埋込層3をイオン注入法により形成する（同図（a））。

【0004】次に、この基板に800℃、15分程度の熱酸化により厚さ8nm程度のSi酸化膜（トンネル酸化膜）4を形成し、その上にフローティングゲート電極FGとなる厚さ6nm程度のポリSi膜5をLP-CVDあるいはプラズマCVD等により形成する。次に、ポリSi膜5の表面を、850℃、10分程度の熱酸化により厚さ5nm程度のSi酸化膜6とし、その上に厚さ12nm程度のSi窒化膜（Si₃N₄）7をLP-CVDあるいはプラズマCVD等により形成し、このSi窒化膜7に熱酸化を施して厚さ6nm程度のSi酸化膜8を形成することにより、Si酸化膜6、Si窒化膜7及びSi酸化膜8からなるONO膜構造9を形成する（同図（b））。

30 【0005】このONO膜構造9上に、制御ゲート電極CGとなる、リン等を高濃度に含むポリSiとWSiの積層膜10を形成する（同図（c））。これを通常のリソグラフィ技術及びRIE技術を用いてパターンニングすることにより制御ゲート電極CGを形成し、制御ゲート電極CGをマスクとして、例えば、リンあるいは砒素を $5 \times 10^{13} / \text{cm}^2$ 程度の濃度でイオン注入することにより低濃度領域LDD_a、LDD_bを形成する（同図（d））。

40 【0006】次に、通常のCVDとエッチバック法を用いて制御ゲート電極CGの側壁11をSi酸化膜を用いて形成し、これをマスクとして、例えば、リン等を $5 \times 10^{15} / \text{cm}^2$ 程度の濃度でイオン注入することによりソースS及びドレインDの不純物を導入する。そしてこの不純物を活性化するため、電気炉加熱で900℃、30分程度の熱処理を行うか、あるいは急速熱処理（RTP）装置で1050℃、10秒程度の熱処理を行う（同図（e））。

50 【0007】次に、Si酸化膜などの層間絶縁膜12を形成し（同図（f））、接続孔を開口してWあるいはポリSi等からなるプラグ13を形成し、n-MIS型トランジスタからなるフローティングゲート型フラッシュ

メモリー100を得る(同図(g))。

【0008】フローティングゲート型フラッシュメモリー100の書き込み時には、例えば、Si基板1を接地した状態で制御ゲート電極CGに+20V程度の電圧を加える。すると、トンネル電流によりSi基板1のチャネル領域14からフローティングゲート電極FGへ電荷(電子)が注入される。フローティングゲート電極FGに蓄積された電荷は、書き込み時の電圧20Vを切った後もフローティングゲート電極FGに蓄積されている。この蓄積状態では、n-MIS型トランジスタの閾値電圧(V_{th})は高い値となるので、OFFの状態が、トランジスタの電源のON/OFFに関わりなく保たれる。こうして、フローティングゲート型フラッシュメモリー100は、不揮発性記憶素子として機能することとなる。

【0009】

【発明が解決しようとする課題】しかしながら、図3のフローティングゲート型フラッシュメモリー100は、フローティングゲート電極FGとSi基板1との間のトンネル酸化膜4に部分的にでもリークがあると、フローティングゲート電極FGに蓄積された電荷の全てが失われてしまうので、トンネル酸化膜4の薄膜化が極めて困難である。その結果、データの書き込み電圧を18V程度以下には低くすることができず、対応するドレインD等の構造を微細化することが困難となり、0.13 μ m世代以降の微細な不揮発性記憶素子としては実用化が困難であると考えられている。

【0010】これに対し、図4のように、金属(制御ゲート電極CG)、Si酸化膜21、Si窒化膜22、Si酸化膜(トンネル酸化膜)4、Si基板1からなるMONOS構造20を形成し、Si窒化膜22中、及びSi酸化膜21とSi窒化膜22との界面近傍に存在する離散的なトラップに電荷を蓄積することによりトランジスタの閾値を変化させてデータを保持する、所謂MONOS型フラッシュメモリー200も開発されている。MONOS型フラッシュメモリー200によれば、離散的なトラップに電荷を蓄積しているので、トンネル酸化膜4に部分的なリークがあっても蓄積電荷の大部分が失われるということはない。そのため、トンネル酸化膜4の膜厚を3nm程度と、フローティングゲート型フラッシュメモリー100に比して相当に薄くすることができ、その結果、書き込み電圧を10V程度以下にまで低くできる可能性を有している。

【0011】しかしながら、MONOS型フラッシュメモリー200のトラップで蓄積できる電荷密度はフローティングゲート型フラッシュメモリー100に比して5桁程度も低い。また、MONOS型フラッシュメモリー200のトラップ密度を再現性よく、かつ制御性よく形成することは容易でない。このため、微細化されたMONOS型フラッシュメモリー200ではデータの保持時

間(Data Retention)、書き込み/消去繰り返し耐性(エンデュランス)が必ずしも十分ではない。

【0012】一方、フローティングゲートに関わる全容量に対する、フローティングゲートと制御ゲートとの容量の比(容量結合比あるいはカップリング比)を増大させるために、図5に示すように、フローティングゲート電極FGの素子分離方向の側壁及び上面を覆うようにONO膜構造9を形成し、そのONO膜構造9の側面及び上面を覆うように制御ゲート電極CGを形成したフローティングゲート型フラッシュメモリー101も知られている(Y.S.Hisamune et al., IEDM Tech. Digest '93, p19 (1993))。

【0013】しかしながら、このフローティングゲート型フラッシュメモリー101において容量結合比(カップリング比)を増大させるためには、フローティングゲート電極FGの膜厚を厚く形成しなくてはならず、制御ゲート電極CGの幅も広くなり、微細化に不向きである。また、プラグが形成しにくくなるという欠点もある。

【0014】本発明は、以上のような従来の不揮発性記憶素子に対し、電荷の容量結合比(カップリング比)が大きく、書き込み電圧を低減でき、かつ微細化にも適した新たな不揮発性記憶素子を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明者は、(i)従来のフローティングゲート型フラッシュメモリーにおいて書き込み電圧を低くできない一因として、フローティングゲート電極に関わる全容量に対する、制御ゲート電極-フローティングゲート電極間の容量の比(カップリング比)が低いために、制御ゲート電極に印加した電圧の大部分が制御ゲート電極-フローティングゲート電極間に印加され、実質的にフローティングゲート電極-Si基板間のトンネル酸化膜に印加されないこと、(ii)したがって、このカップリング比を高くすることによりトンネル酸化膜にかかる電圧を実質的に高くし、それにより書き込み電圧を低くできること、(iii)カップリング比を高くするためには、ダミーゲート法によりゲート溝を形成し、ゲート溝内の底面だけでなく側面にもフローティングゲート電極を形成することが有効であること、を見出した。

【0016】即ち、本発明は、半導体基板と制御ゲート電極との間の絶縁膜中にフローティングゲート電極を有し、フローティングゲート電極に電荷が蓄積することによりトランジスタの閾値電圧が変化し、データを保持する不揮発性記憶素子であって、フローティングゲート電極が、制御ゲート電極の底面及び側面の双方と絶縁膜を介して対向していることを特徴とする不揮発性半導体記憶素子を提供する。

【0017】また、この不揮発性半導体記憶素子の製造方法として、半導体基板上にダミーゲートを形成し、さ

らにダミーゲートの周囲に絶縁膜からなる側壁を形成した後、ダミーゲートをエッチング除去してゲート溝を形成し、ゲート溝底面の絶縁膜上及びゲート溝側壁面上にフローティングゲート電極層及び絶縁膜を順次成膜し、さらに制御ゲート電極層を成膜してゲート溝内に埋め込むことにより、フローティングゲート電極が、制御ゲート電極の底面及び側面の双方と絶縁膜を介して対向している不揮発性半導体記憶素子を製造する方法を提供する。

【0018】

【発明の実施の形態】以下、図面を参照しつつ、本発明を詳細に説明する。なお、各図中、同一符号は同一又は同等の構成要素を表している。

【0019】図1は、本発明のフローティングゲート型フラッシュメモリーの一例の製造工程図である。

【0020】まず、Si基板1にウェル分離あるいは素子分離領域2を通常のロソス法、シャロートレンチ法等により形成し、閾値電圧調整のための埋込層3をイオン注入法により形成する(同図(a))。

【0021】次に、この基板に800～850℃、10～15分程度の熱酸化により厚さ7～9nm程度のSi酸化膜(トンネル酸化膜)4を形成し、その上にダミーゲートDGとなる厚さ500～700nm程度のポリSi膜16をLP-CVD等により形成する(同図(b))。

【0022】この積層構造に対してリソグラフィー技術及びRIE技術を用いてパターニングすることによりダミーゲートDGを形成し、ダミーゲートDGをマスクとして、例えば、リンあるいは砒素を $5 \times 10^{15} / \text{cm}^2$ 程度の濃度でイオン注入することにより低濃度領域LDD_a、LDD_bを形成する(同図(c))。

【0023】次に、通常のCVDとエッチバック法を用いてダミーゲートDGに側壁11を形成し、これをマスクとして、例えば、リン等を $5 \times 10^{15} / \text{cm}^2$ 程度の濃度でイオン注入することによりソースS及びドレインDの不純物を導入し、これらを活性化するため電気炉加熱で850～950℃、20～30分程度の熱処理を行うか、あるいは急速熱処理(RTP)装置で1000～1100℃、5～10秒程度の熱処理を行う(同図(d))。

【0024】次に、Si酸化膜などを堆積させることによりダミーゲートDGとその周囲を覆う層間絶縁膜12を形成する(同図(e))。そして、CMP等の平坦化技術により層間絶縁膜12を平坦化してダミーゲートDGを露出させ、露出したダミーゲートDGをエッチング法により除去し、ゲート溝17を形成する(同図(f))。ダミーゲートDGの下地になっていたトンネル酸化膜4は、ダミーゲートDGのエッチング後に残すようにしてもよく、あるいはダミーゲートDGの除去に引き続き、エッチングにより除去してもよい。トンネル

酸化膜4を除去した場合には、ゲート溝17の底面にトンネル酸化膜4を再度形成する。

【0025】次に、ゲート溝17内の底面及び側壁面の全面に、フローティングゲート電極FGとなるポリSi膜5を膜厚6～8nm程度堆積する。このポリSi膜5の形成方法としては、LP-CVDあるいはプラズマCVD等によってもよいが、膜厚の均一化のため、原子層化学的気相成長法(Atomic Layer Chemical Vapor Deposition: ALCVD)によることが好ましい。

10 【0026】次に、ポリSi膜5の表面を熱酸化することにより厚さ4.5～5.5nm程度のSi酸化膜6を形成し、その上に厚さ11～13nm程度のSi窒化膜(Si₃N₄)7を形成し、Si窒化膜7に熱酸化を施して厚さ5～7nm程度のSi酸化膜8を形成することにより、Si酸化膜6、Si窒化膜7及びSi酸化膜8からなるONO膜構造9を形成する。このONO膜構造9の形成工程において、Si窒化膜7はLP-CVDあるいはプラズマCVD等により形成してもよいが、下地の基板形状に対してほぼ完全に均一な膜厚で超薄膜を形成するため、特に、ゲート溝17の隅の部分でも安定した膜厚で連続膜を形成するために、原子層化学的気相成長法によることが好ましい。また、ONO膜構造9をより均一な膜厚の連続膜に形成し、書き込み電圧を低くするためには、Si窒化膜7の形成だけでなく、Si酸化膜6、Si窒化膜7及びSi酸化膜8の各膜を高温のCVD法(700～800℃)によって形成することが好ましく、さらには原子層化学的気相成長法によって形成することがより好ましい。

20 【0027】ゲート溝17を含む全面にリン等を高濃度に含むポリSiとWSiの積層膜10を成膜してゲート溝17を埋め込むことにより、制御ゲート電極CGを形成する(同図(g))。

30 【0028】次にこれらを平坦化することにより、ゲート溝17の外の領域の積層膜10、ONO膜構造9、ポリSi膜5を除去する(同図(h))。そして、層間絶縁膜12に接続孔を開口してWあるいはポリSi等からなるプラグ13を形成し、本発明の一実施例のフローティングゲート型フラッシュメモリー300を得る(同図(i))。

40 【0029】こうして形成されたフローティングゲート型フラッシュメモリー300では、フローティングゲート電極FGが制御ゲート電極CGと、該制御ゲート電極CGの底面だけでなく、側面にわたっても対向しているので、大きな容量で結合されることとなる。例えば、0.18μm世代の典型的なフローティングゲート型フラッシュメモリーでは、フローティングゲート電極FG上のONO膜構造9のSi酸化膜換算膜厚は14.4nm程度となるので、ゲート長0.18μm、ゲート幅1.0μm、ゲート高さ0.6μmの場合、図3に示した従来のフローティングゲート型フラッシュメモリー1

00では、フローティングゲートと接続プラグとの容量を無視した場合、フローティングゲート電極に関わる全容量に対する、制御ゲート電極CGーフローティングゲート電極FG間の容量の比（カップリング比）が0.56程度となるが、図1の本発明のフローティングゲート型フラッシュメモリ300では10.9程度となり、カップリング比を約20倍も向上させることができる。したがって、図3に示した従来のフローティングゲート型フラッシュメモリ100で20Vの書き込み電圧が必要とされる場合に、図1のフローティングゲート型フラッシュメモリ300では必要な書き込み電圧が7.8V程度となる。よって、フローティングゲート型フラッシュメモリを構成するトランジスタのドレイン耐圧を大幅に低減させることが可能となり、素子の微細化を図ることができる。

【0030】本発明は、種々の態様をとることができる。例えば、図1のフローティングゲート型フラッシュメモリ300において、フローティングゲート電極FGは、ポリSi膜5に限らず、成膜技術の確立している、原子層化学的気相成長法によりTiCl₄とNH₃を用いて形成するTiN膜としてもよい。フローティングゲート電極FGをTiN膜から形成する場合、このTiN膜と制御ゲート電極CGとの間の絶縁膜は、CVD法あるいは原子層化学的気相成長法により、均一な膜厚の連続膜に信頼性高く形成することが好ましい。

【0031】また、トンネル酸化膜4の下地となるSi基板としては、シリコン単結晶ウエハ等の半導体基板や、任意の基板上にエピタキシャルシリコン層、ポリシリコン層、アモルファスシリコン層等を形成したものを使用することができる。さらに、半導体基板は上述のシリコンからなるものの他、Si-Ge等からなるものでもよく、本発明における半導体基板とはこれらを広く包含する。

【0032】さらに、本発明のフローティングゲート型フラッシュメモリには、図2に示すフローティングゲート型フラッシュメモリ301のように、ゲート溝17外に、フローティングゲート電極FG、ONO膜構造9及び制御ゲート電極CGを平面形状に張り出させた張出電極18を形成してもよい。

【0033】この張出電極18を有するフローティングゲート型フラッシュメモリ301の製造方法は、図1に示したフローティングゲート型フラッシュメモリ300と、制御ゲート電極を構成する積層膜10のゲート溝17への埋め込み（図1（g））までは同様であり、その後、リソグラフィ技術及びエッチング技術を用いて平面形状の張出電極18を形成し、最後に層間絶縁膜12に接続孔を開口してプラグ13を充填する。

【0034】このように張出電極18を設けると、図1のフローティングゲート型フラッシュメモリ300に比して製造工程数が増加するが、フローティングゲート電極に関わる全容量に対する、制御ゲート電極CGーフローティングゲート電極FG間の容量の比（カップリング比）をさらに大きくすることができ、書き込み電圧を一層低減させることができる。

【0035】

【発明の効果】本発明のフローティングゲート型フラッシュメモリによれば、制御ゲート電極の底面だけでなく側面においてフローティングゲート電極と制御ゲート電極とを対向させるので、フローティングゲート電極への電荷の蓄積容量が大きく、書き込み電圧を低減できる。またこの書き込み電圧の低減により、フローティングゲート型フラッシュメモリを構成するトランジスタのドレイン電圧を低くすることができるので、トランジスタの微細化を図ることができる。

【0036】特に、フローティングゲート電極と制御ゲート電極との間の絶縁膜を原子層化学的気相成長法で形成すると、ゲート溝の底面及び側面にわたって連続的に均一な膜厚に形成することができるので、書き込み電圧をさらに安定的に低下させることができる。

【図面の簡単な説明】

【図1】 本発明のフローティングゲート型フラッシュメモリの製造工程図である。

【図2】 本発明の他の態様のフローティングゲート型フラッシュメモリの平面図（a）及び断面図（b）である。

【図3】 従来のフローティングゲート型フラッシュメモリの製造工程図である。

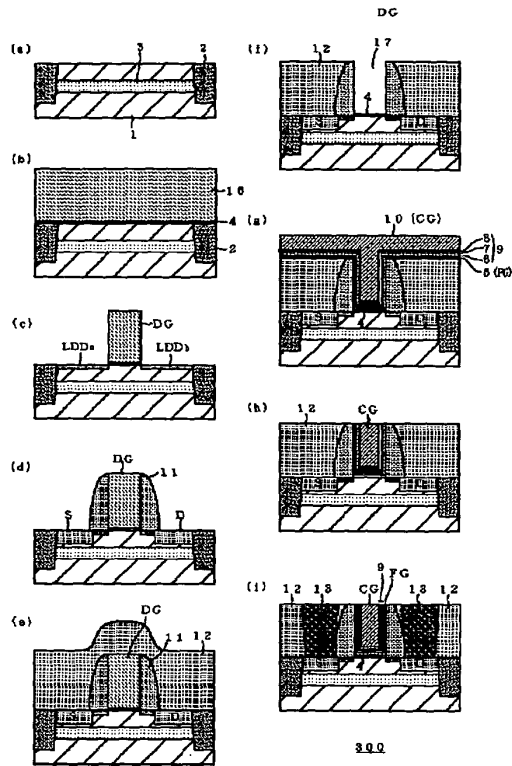
【図4】 MONOS型フラッシュメモリの断面図である。

【図5】 従来のフローティングゲート型フラッシュメモリの断面図である。

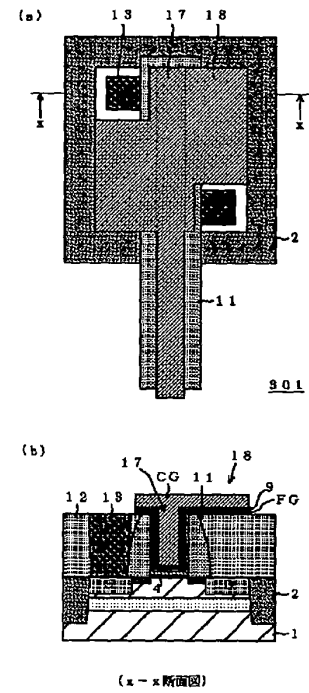
【符号の説明】

1…Si基板、 2…素子分離領域、 3…埋込層、
4…トンネル酸化膜、 5…ポリSi膜（FG電極）、
6…Si酸化膜、 7…Si窒化膜、 8…Si酸化膜、
9…ONO膜構造、 10…ポリSiとWSiの積層膜（CG電極）、
11…側壁、 12…層間絶縁膜、 13…プラグ、
14…チャネル領域、 16…ポリSi膜、
17…ゲート溝、 18…張出電極、
300…本発明のフローティングゲート型フラッシュメモリ、
301…本発明のフローティングゲート型フラッシュメモリ、
CG…制御ゲート電極、 FG…フローティングゲート電極、
DG…ダミーゲート

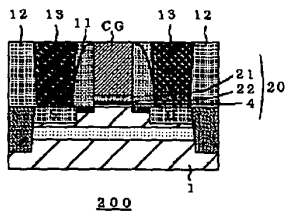
【図1】



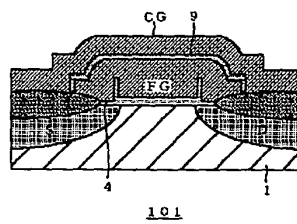
【図2】



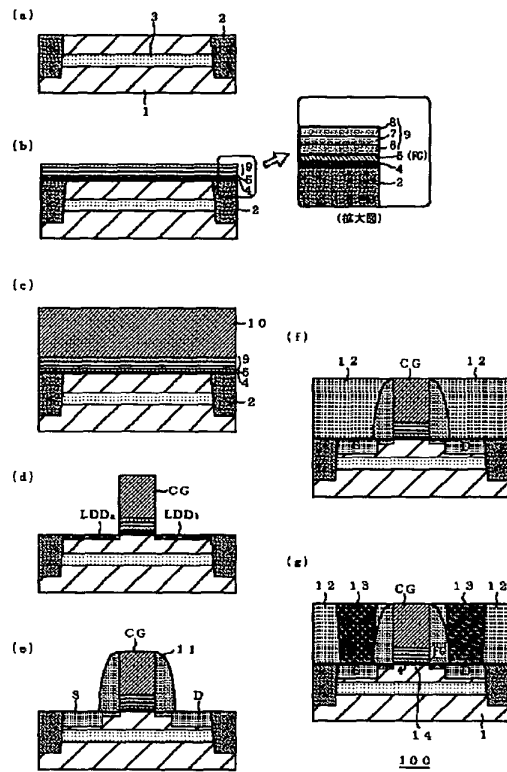
【図4】



【図5】



【図3】



フロントページの続き

F ターム(参考) 5F001 AA21 AA25 AA30 AA43 AA63
 AB08 AD17 AD60 AD62 AG07
 AG21
 5F083 EP03 EP13 EP23 EP55 EP56
 EP57 EP63 EP68 ER22 GA22
 JA04 JA35 JA39 JA40 PR21
 PR29 PR38 ZA28
 5F101 BA03 BA07 BA12 BA29 BA36
 BB05 BD07 BD35 BD37 BH02
 BH19